

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-111674

(43)Date of publication of application : 28.04.1998

(51)Int.Cl.

G09G 3/36
G09G 3/20
G11C 19/28
H03K 5/00
H03K 19/0175

(21)Application number : 09-100478

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.04.1997

(72)Inventor : AOKI YOSHIKI
MIYATAKE MASAKI

(30)Priority

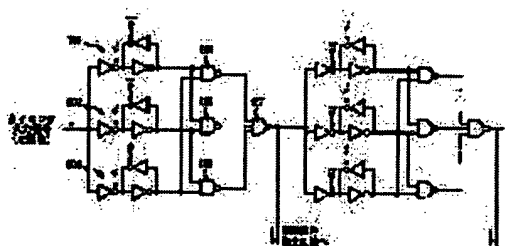
Priority number : 08 95566 Priority date : 17.04.1996 Priority country : JP

(54) TIMING SIGNAL GENERATION CIRCUIT AND DISPLAY DEVICE CONTAINING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain continuously using without restoring it even when a fault signal occurs in a partial timing signal generation circuit and to improve yield and reliability by taking out relatively many signals among the signals generated in plural timing signal generation circuits with an operation circuit.

SOLUTION: This timing signal generation circuit is provided with three lines of shift registers 101-103 simultaneously performing the same operation by the same clock signal and a positive logic timing input signal, and operates as a timing signal generation part. Then, when any one among three lines of shift registers 101-103 doesn't output a normal signal, relatively many real signals are taken out by the operation circuit consisting of 2-input NAND circuits 104-106 and a 3-input NAND circuit 107 arranged on the output side of the shift register lines, and then, an abnormal signal is removed. Thus, the signals and the timing signal are outputted to the next stage shift register lines normally.



LEGAL STATUS

[Date of request for examination] 09.04.2004

[Date of sending the examiner's decision of rejection] 03.03.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-111674

(43) 公開日 平成10年(1998) 4月28日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

3/20

3/20

R

G 1 1 C 19/28

G 1 1 C 19/28

B

H 0 3 K 5/00

H 0 3 K 5/00

U

19/0175

19/00

1 0 1 N

審査請求 未請求 請求項の数16 O L (全 16 頁)

(21) 出願番号

特願平9-100478

(22) 出願日

平成9年(1997) 4月17日

(31) 優先権主張番号

特願平8-95566

(32) 優先日

平8(1996) 4月17日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青 木 良 朗

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 宮 武 正 樹

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

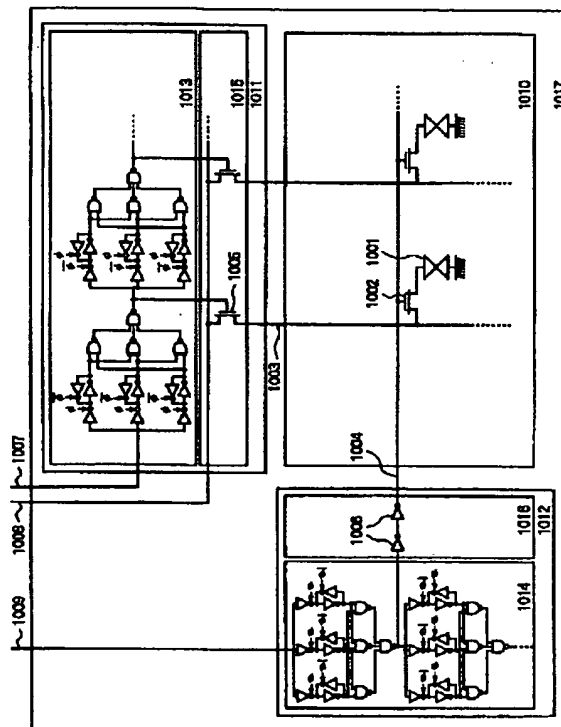
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 タイミング信号発生回路およびこれを含む表示装置

(57) 【要約】

【課題】 一部で不良信号が発生しても、修復作業を行うことなく継続使用が可能となって歩留り及び信頼性を向上させることができるタイミング信号発生回路およびこれを含む表示装置を提供する。

【解決手段】 タイミング信号発生回路は、タイミング信号発生要素(101~103等)が並列接続されてなるタイミング信号発生部が複数、直列に配置され、この直列に配置された複数のタイミング信号発生部の間に接続部を有する。この接続部は複数のタイミング信号発生要素の出力信号のうちの相対的に多数のものを出力する演算回路(104~107等)を有している。このタイミング信号発生回路では、演算回路の多数決演算により回路を構成する素子の一部に不良が発生しても修復作業を行うことなく正常出力が取り出される。表示装置はこのタイミング信号発生回路(1013)を含むとともに、タイミング信号発生回路の出力端子に現れる出力に基づいて所定の駆動信号をサンプリングし、駆動配線に出力するサンプリング部(1015)と、駆動配線に接続された複数の単位画素(1001)とを備える。



【 特許請求の範囲】

【請求項1】それぞれが各々2 値のタイミング信号を発生する3 以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、

前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、

前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の出力のうち相対的に多数の前記タイミング信号発生手段が出力する信号を選択して後段のタイミング信号発生部に出力する第1 の演算手段を備えたことを特徴とするタイミング信号発生回路。

【請求項2】前記第1 の演算手段は多数決回路であることを特徴とする請求項1 に記載のタイミング信号発生回路。

【請求項3】前記第1 の演算手段は、後段の前記タイミング信号発生手段に対応した数の並列出力を有するものであることを特徴とする請求項1 に記載のタイミング信号発生回路。

【請求項4】前記接続部は、後段の前記タイミング信号発生手段に対応した数の並列出力を有する第1 の演算手段と、これら並列出力が互いに相違するとき、それらを出力している前段の前記タイミング信号発生手段のうちの相対的に多数のものが出力している信号を選択して出力する第2 の演算手段を備えたことを特徴とする請求項1 に記載のタイミング信号発生回路。

【請求項5】前記第2 の演算手段は多数決回路であることを特徴とする請求項4 に記載のタイミング発生回路。

【請求項6】前記接続部は、前記直列に配置された複数のタイミング発生部の複数個おきに配置され、これらが直列に接続されたことを特徴とする請求項1 に記載のタイミング発生回路。

【請求項7】前記タイミング信号発生手段はシフトレジスタからなることを特徴とする請求項1 に記載のタイミング信号発生回路。

【請求項8】前記タイミング信号発生手段はデコーダからなることを特徴とする請求項1 に記載のタイミング信号発生回路。

【請求項9】それぞれが各々2 値のタイミング信号を発生する3 以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、

前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部

に出力する接続部とを備え、

前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2 つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2 入力論理積回路と、前記各2 入力論理積回路の出力を入力とし、次段のタイミング信号発生部に対する出力を発生する n 入力論理積回路とを備えたことを特徴とするタイミング信号発生回路。

10 【請求項10】それぞれが各々2 値のタイミング信号を発生する3 以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、

前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、

20 前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2 つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2 入力論理積回路と、前記各2 入力論理積回路の出力を入力とする n 個の n 入力論理積回路を有し、該 n 個の n 入力論理積回路の出力を並列に次段のタイミング信号発生部に対して出力するものであることを特徴とするタイミング信号発生回路。

30 【請求項11】それぞれが各々2 値のタイミング信号を発生する3 以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、

前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、

40 前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2 つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2 入力論理積回路と、前記各2 入力論理積回路の出力を入力とする n 個の n 入力論理積回路を有し、該 n 個の n 入力論理積回路の出力を次段のタイミング信号発生部及びこれと 並行に出力端子にむけて出力するとともに、

前記 n 個の n 入力論理積回路と 出力端子との間に配置され、該 n 個の出力のうち2 つの出力からなる相互に異なる組み合わせがそれぞれ入力される n 個の2 入力論理和回路と、前記 n 個の2 入力論理和回路の各出力がそれぞれ入力される n 入力論理和回路を有することを特徴とする

タイミング信号発生回路。

【請求項12】それぞれが各々2値のタイミング信号を発生する3以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部であって、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の出力のうち相対的に多数の前記タイミング信号発生手段が出力する信号を選択して後段のタイミング信号発生部及びこれと並行に出力端子にむけて出力する演算手段を備えた接続部とを備えたタイミング信号発生回路と、前記タイミング信号発生回路の出力端子に現れる出力に基づいて所定の駆動信号をサンプリングし、駆動配線に出力するサンプリング部と、前記駆動配線に接続された複数の単位画素とを備えた表示装置。

【請求項13】前記タイミング信号発生手段は、シフトレジスタからなることを特徴とする請求項12記載の表示装置。

【請求項14】前記タイミング信号発生手段は、デコーダからなることを特徴とする請求項12記載の表示装置。

【請求項15】前記複数の単位画素は、X方向の第1の駆動配線およびY方向の第2の駆動配線の交差部に設けられて前記第1および第2の駆動配線によって駆動されるトランジスタの出力に接続されるとともに前記シフトレジスタ及び演算手段はトランジスタより構成され、該単位画素に接続されたトランジスタと前記シフトレジスタ及び演算手段を構成するトランジスタは同一工程で形成されたものであることを特徴とする請求項13記載の表示装置。

【請求項16】前記複数の単位画素は、X方向の第1の駆動配線およびY方向の第2の駆動配線の交差部に設けられて前記第1および第2の駆動配線によって駆動されるトランジスタの出力に接続されるとともに前記デコーダ及び演算手段はトランジスタより構成され、該単位画素に接続されたトランジスタと前記デコーダ及び演算手段を構成するトランジスタは同一工程で作製されたものであることを特徴とする請求項14記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はタイミング信号発生回路およびこれを含む表示装置に関し、特にマトリクス駆動方式の映像表示装置とその駆動回路に好適なものである。

【0002】

【従来の技術】マトリクス駆動方式の映像表示装置、特に広く用いられているアクティブマトリクス型液晶表示装置は、以下のように構成されている。

【0003】図16は、アクティブマトリクス型液晶表示装置の概略構成図である。

【0004】映像表示素子である液晶表示素子1201は、X配線である信号線1203とY配線であるゲート配線1204との各交差部にそれぞれ配設され、X配線1203及びY配線1204に接続される。X配線1203、Y配線1204はそれぞれ駆動回路1206、1207に接続され、駆動回路1206、1207をそれぞれ構成するタイミング信号発生回路1208、1209によって電気信号を送り出すタイミングが制御される。

【0005】図17は、シフトレジスタ形式のタイミング信号発生回路の一例を示す回路構成図である。

【0006】この回路は、インバータ1302及び、ループ接続された2つのインバータ1301よりなるフリップフロップ回路1303をシフトレジスタの一構成単位として縦続接続し、シフトレジスタへのタイミング入力信号を各段の各クロック毎に1段ずつ移動させることによりX配線1203、Y配線1204のタイミング制御を行うタイミング出力信号を発生する。

【0007】なお、図中の記号 ϕ 及び ϕ/ϕ は、クロック信号を示しており、クロック ϕ とクロック ϕ/ϕ とは、相互に反転の関係にある(以下、同様)。

【0008】映像表示素子としては、液晶表示素子以外にも、放電ガス、蛍光体、発光ダイオード、光源管、電子線蛍光管、電磁駆動型反射表示素子等が用いられ、いずれもタイミングに応じてX、Yの各配線に入力された電気信号によりその表示状態を変化させ、任意の映像を画面に表示する。

【0009】上述のように、マトリクス駆動方式の映像表示装置は、X、Yの各配線に送り出す電気信号のタイミングを制御することによって、画面上の表示状態を任意に変化させることが出来る。

【0010】しかし、この駆動タイミングに不良が生じた場合、マトリクス状に配設された表示素子の制御が不可能となり、画面上に線状もしくは面状の表示不良が発生する。例えば、シフトレジスタ形式のタイミング制御回路は、次段のシフトレジスタに送り出すタイミング入力信号に不良を生ずると、それ以降のシフトレジスタにより制御される表示素子はすべて表示不良の状態となる。

【0011】また、シフトレジスタ形式タイミング制御回路は、クロック信号、タイミング入力信号(スタートパルス)等の外部から供給される信号が、回路内の各素子に対して直接に接続される構成であるため、製造工程中の静電気破壊に対して極めて脆弱であった。特にこの構成上の欠点は、駆動回路を表示素子と同時に形成する

駆動回路一体型の映像表示装置において問題となり、映像表示装置の歩留りと信頼性の向上、表示装置の低コスト化等に対する障害となっていた。

【0012】上記問題に対応する第1の対応策として、X、Yの各配線の駆動をそれぞれの配線の両側から行うことにより、一方の駆動回路に不良が発生しても反対側の駆動回路が補うという構成が採用されている。

【0013】また、第2の対応策として、入力数値信号に応じて選択的にタイミング出力信号を発生させるデコーダ形式を、タイミング信号発生回路に採用する構成が提案されている。

【0014】図18は、デコーダ形式タイミング信号発生回路の一例を示す回路構成図である。タイミング入力信号を各段の各クロック毎に1段ずつ移動させるシフトレジスタ形式とは異なり、各デコーダ回路1401がそれぞれタイミング出力信号を発生するため、シフトレジスタ形式のように面状の表示不良が発生し難く、不良箇所の配線をレーザで切断して修復する作業がシフトレジスタ形式に比較して大幅に簡略化されるという利点を有する。

【0015】第3の対応策として、予備のシフトレジスタ、または予備のデコーダを予め駆動回路中に併設しておく構成が提案されている。

【0016】図19は予備シフトレジスタ併設タイミング信号発生回路の回路構成図、図20は予備デコーダ併設タイミング信号発生回路の回路構成図である。これらの構成では、シフトレジスタ、デコーダに駆動不良が発生した場合、駆動不良を起こしたシフトレジスタ1502、デコーダ1505をレーザ等で配線から切り離し、併設してある予備シフトレジスタ1501、予備デコーダ1504を、銀ペースト等の導電性材料やレーザ照射等を用いて、予備シフトレジスタ接続ノード1503、予備デコーダ接続ノード1504を接続する。

【0017】第4の対応策として、同一タイミングで動作する2列以上のk列のシフトレジスタを平行に配設し、複数段毎にk入力のNOR回路を挿入する構成が提案されている(図21)。

【0018】図21は、シャープ技報、第56号、P.40、第2図に記載されたもので、同一タイミングで動作する平行に配設されたk列のシフトレジスタと、シフトレジスタ複数段毎にk入力のNOR回路を挿入した構成のタイミング信号発生回路の回路構成図である。この構成により、k列のシフトレジスタ1601の一部に不良が発生してもNOR回路1602により不良となったタイミング入力信号を選択排除することが可能となり、また、選択排除が出来ない場合であっても、不良が発生したシフトレジスタ列とk入力のNOR回路との接続を切断することにより、正常な駆動動作が可能となる。

【0019】

【発明が解決しようとする課題】しかしながら、上記対

応策の各構成には、それぞれ以下のような問題点がある。

【0020】第1の対応策、すなわち、X、Yの各配線の駆動をそれぞれの配線の両側から行い、一方の駆動回路に不良が発生したときは反対側の駆動回路が補う構成においては、駆動負荷の大きさに起因して配線を両側から駆動しなければならない場合には、この構成を採用することは原理的に不可能であり、また、駆動負荷が十分小さく、片側からの駆動で間に合う場合であっても、不良となった駆動回路部分をマトリクス配線から電氣的に切り離す必要が生ずるため、レーザ等で配線の一部を切断する作業を行わなければならない。

【0021】第2の対応策、すなわち、デコーダ形式タイミング信号発生回路においては、配線の駆動は片側から可能であることが前提となり、また、不良箇所のレーザカットの作業が必要であることに変わりはない。

【0022】第3の対応策、すなわち、予備のシフトレジスタまたは予備のデコーダを駆動回路中に併設する構成においても、不良箇所を切り離すための配線のレーザカットと予備回路の接続の作業とが必要となるため、駆動回路の修復工程が複雑化して大量生産における現実的な手段とはいえない。

【0023】第4の対応策、すなわち、同一タイミングで動作する2列以上のk列のシフトレジスタを平行に配設し、複数段毎にk入力のNOR回路を挿入する構成においては、シフトレジスタの不良が発生する場合、High側で固定となる不良であるか、Low側で固定となる不良であるかは、場合によって異なり、High側で固定となる不良に対しては必ずレーザ等による配線の切り離し作業が必要となる。

【0024】さらに、上記各構成全般に関わる問題として、駆動回路の信頼性の問題が挙げられる。映像表示装置使用中にタイミング信号発生回路が不良となった場合、従来の技術では修復作業を行うことなく継続して映像表示装置を使用することはできない。したがって、特に駆動回路一体型の映像表示装置においては、駆動回路を構成する各素子の信頼性を考慮して駆動回路全体を構成することが、表示装置の信頼性を向上させる上での重要な問題となっている。

【0025】本発明は上記問題点に鑑みてなされたもので、その目的は、回路を構成する素子の一部に不良が発生しても修復作業を行うことなく継続使用が可能なタイミング信号発生回路を提供し、結果として、タイミング信号発生回路自体または駆動回路若しくは映像表示装置等の全体としての歩留り及び信頼性の向上を達成することである。

【0026】

【課題を解決するための手段】本発明にかかるタイミング信号発生回路の第1の態様によれば、それぞれが各々2値のタイミング信号を発生する3以上のタイミング信

号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の出力のうち相対的に多数の前記タイミング信号発生手段が出力する信号を選択して後段のタイミング信号発生部に出力する第1の演算手段を備えたことを特徴とする。

【0027】前記第1の演算手段は多数決回路であると良く、また、後段の前記タイミング信号発生手段に対応した数の並列出力を有するものであると良い。

【0028】前記接続部は、後段の前記タイミング信号発生手段に対応した数の並列出力を有する第1の演算手段に加えて、これら並列出力が互いに相違するとき、それらを出力している前段の前記タイミング信号発生手段のうちの相対的に多数のものが出力している信号を選択して出力する第2の演算手段を備えたものであることが好ましい。

【0029】前記第2の演算手段は多数決回路であると良い。

【0030】前記接続部は、前記直列に配置された複数のタイミング発生部の複数個おきに配置され、これらが直列に接続されたものであると良い。

【0031】前記タイミング信号発生手段はシフトレジスタあるいは、デコーダからなるものであると良い。

【0032】本発明にかかるタイミング信号発生回路の第2の態様によれば、それぞれが各々2値のタイミング信号を発生する3以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2入力論理積回路と、前記各2入力論理積回路の出力を入力とし、次段のタイミング信号発生部に対する出力を発生する n 入力論理積回路とを備えたことを特徴とする。

【0033】本発明にかかるタイミング信号発生回路の第3の態様によれば、それぞれが各々2値のタイミング信号を発生する3以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミン

グ信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2入力論理積回路と、前記各2入力論理積回路の出力を入力とする n 個の n 入力論理積回路を有し、該 n 個の n 入力論理積回路の出力を並列に次段のタイミング信号発生部に対して出力するものであることを特徴とする。

【0034】本発明にかかるタイミング信号発生回路の第4の態様によれば、それぞれが各々2値のタイミング信号を発生する3以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部とを備え、前記接続部は、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の数と 同数でかつ該タイミング信号発生手段の出力のうち2つのタイミング信号からなる相互に異なる組み合わせがそれぞれ入力される n 個の2入力論理積回路と、前記各2入力論理積回路の出力を入力とする n 個の n 入力論理積回路を有し、該 n 個の n 入力論理積回路の出力を次段のタイミング信号発生部及びこれと並行に出力端子にむけて出力するとともに、前記 n 個の n 入力論理積回路と出力端子との間に配置され、該 n 個の出力のうち2つの出力からなる相互に異なる組み合わせがそれぞれ入力される n 個の2入力論理積回路と、前記 n 個の2入力論理積回路の各出力がそれぞれ入力される n 入力論理積回路を有することを特徴とするタイミング信号発生回路。

【0035】また、本発明にかかる表示装置によれば、それぞれが各々2値のタイミング信号を発生する3以上のタイミング信号発生手段が並列接続されてなる、複数の直列に配置されたタイミング信号発生部と、前記直列に配置された複数の前記タイミング信号発生部の間に配置され、その前段の前記タイミング信号発生部の各タイミング信号発生手段の出力に基づき所定のタイミング信号を生成して後段の前記タイミング信号発生部に出力する接続部であって、前段の前記タイミング信号発生部に属する前記各タイミング信号発生手段の出力のうち相対的に多数の前記タイミング信号発生手段が出力する信号を選択して後段のタイミング信号発生部及びこれと並行に出力端子にむけて出力する演算手段を備えた接続部とを備えたタイミング信号発生回路と、前記タイミング信号発生回路の出力端子に現れる出力に基づいて所定の駆動信号をサンプリングし、駆動配線に出力する駆動部

と、前記駆動配線に接続された複数の単位画素とを備えたことを特徴とする。

【0036】前記タイミング信号発生手段は、シフトレジスタあるいはデコーダからなることが好ましい。

【0037】前記複数の単位画素は、X方向の第1の駆動配線およびY方向の第2の駆動配線の交差部に設けられて前記第1および第2の駆動配線によって駆動されるトランジスタの出力に接続されるとともに前記シフトレジスタ及び演算手段はトランジスタより構成され、該単位画素に接続されたトランジスタと前記シフトレジスタ及び演算手段を構成するトランジスタは同一工程で形成されたものであることが好ましい。

【0038】また、前記複数の単位画素は、X方向の第1の駆動配線およびY方向の第2の駆動配線の交差部に設けられて前記第1および第2の駆動配線によって駆動されるトランジスタの出力に接続されるとともに前記デコーダ及び演算手段はトランジスタより構成され、該単位画素に接続されたトランジスタと前記デコーダ及び演算手段を構成するトランジスタは同一工程で作製されたものであることが好ましい。

【0039】本発明に係るタイミング信号発生回路によれば、複数のタイミング信号発生手段で発生した信号のうち、相対的に多数のものを演算回路により取り出すようにしているので、一部のタイミング信号発生手段で不良信号が発生しても、修復作業を行うことなく継続使用が可能となり、タイミング信号発生回路自体またはこれを用いた駆動回路若しくは映像表示装置等の全体としての歩留り及び信頼性を向上させることができる。

【0040】

【発明の実施の形態】以下、本発明に係るタイミング信号発生回路の実施の形態について、図面を参照しながら詳細に説明する。

【0041】図1は、本発明の第1の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0042】第1の実施の形態に係るタイミング信号発生回路は、同一のクロック信号及び正論理のタイミング入力信号によって同時に同一の動作をする3列のシフトレジスタ101、102、103からなるシフトレジスタ列と、シフトレジスタ列の出力側に配設され、3つのシフトレジスタ101、102、103の各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NAND回路104、105、106と、3個の2入力NAND回路104、105、106の各出力が入力される1個の3入力NAND回路107とから回路の1単位が構成されている。

【0043】各シフトレジスタ101、102、103がインバータ及びフリップフロップ回路から構成され、タイミング入力信号を各段の各クロック毎に1段ずつ移動させる点は、従来の構成と同様である。なお、これらのシフトレジスタはタイミング信号発生部として動作す

る。

【0044】3入力NAND回路107の出力はその出力端子でのタイミング出力信号及び次段への出力となっている。映像表示装置の場合は、このタイミング出力信号が駆動信号発生回路に入力され、表示部のマトリクス配線が駆動される。これらの4つのNAND回路は接続部を構成する。

【0045】このように、構成単位はタイミング信号発生部と接続部よりなっており、この構成単位が複数段連続接続された構成となっている。

【0046】第1の実施の形態を採用することにより、3列のシフトレジスタ101、102、103のうちいずれか1個が不良となって正常な信号を出力しなくなった場合には、3個の2入力NAND回路104、105、106と3入力NAND回路107とからなる演算回路によって相対的に多数の真の信号を取り出し、その結果として異常信号を除去する。したがって次段のシフトレジスタ列への信号の出力及びタイミング出力信号は正常な状態で行われる。また、この際の不良信号はどのような信号であるかにかかわらず、配線不良によってシフトレジスタと演算回路との間が開放状態となった場合であっても、次段のシフトレジスタ列への信号の出力及びタイミング出力信号の正常な状態を維持することができる。さらに、2個のシフトレジスタが同時に不良となった場合であっても、一方がHigh信号を出力し続ける不良で、他方がLow信号を出力し続ける不良であるときは、正常な動作を維持することができる。

【0047】以上のように、本発明に係る第1の実施の形態においては、3列のシフトレジスタ列と演算回路が組み合わせられ、不良信号を選択排除する演算回路を組み合わせられ、演算回路が相対的に多数の真の信号を取り出すので、タイミング信号発生回路は一部のシフトレジスタの不良信号が発生したときでも修復作業を行うことなく継続使用が可能となる。その結果、駆動回路または映像表示装置等の全体としての歩留り及び信頼性を向上させることができる。

【0048】図2(a)、3(a)、4(a)は、シフトレジスタを構成する各論理回路部分の等価回路構成を示し、図2(b)、3(b)、4(b)はそれらの回路図である。ここに図示されたように、図2(a)はクロックインバータ、図3(a)は2入力NAND、図4(a)は2入力NOR回路であり、それぞれ周知のCMOS回路を組み合わせることによって構成されている。

【0049】図5は、これらの論理回路を含む駆動回路部および表示部を有する液晶パネルの要部断面図である。表示部に配置された薄膜トランジスタ(TFT)71はnチャネル型TFTにより構成されており、該TFT71のソース電極77は透明電極からなる画素電極38に接続されている。またゲート電極68は図示しないゲート線に接続され、ドレイン線76は図示しない信号

線に接続されている。

【0050】一方、駆動回路部は、nチャネル型TFT 71b およびpチャネル型TFT 74によって構成されており、表示部のTFT 71と同一工程により作製される。すなわち、基板61上にアモルファスシリコン膜を成膜後、レーザ照射して多結晶化を行い、所望形状にパターンニングすることにより、多結晶シリコン層80、81、82を形成する。この上にゲート絶縁膜67を形成後、ゲート電極68を選択的に形成する。そして多結晶シリコン層80、81、82にイオンドープを施し、ソース領域72、84、86およびドレイン領域64、83、85に不純物を導入する。なお、nチャネルTFTとpチャネルTFTでは異なる導電型の不純物をドーピングするため、イオンドープを2工程に分けて行う。そして、層間絶縁膜75を形成し、ソース・ドレイン領域に対応したコンタクトホールを形成後、ドレイン電極およびソース電極を形成する。以上の工程により表示部のTFTおよび駆動回路部のTFTが完成する。

【0051】また、この液晶表示パネルでは、基板61に対向して基板62が配置され、基板62の内面には対向電極4が形成されている。また基板61と基板62との間の空間には液晶44が封入されている。

【0052】図6は、本発明の第2の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0053】第2の実施の形態に係るタイミング信号発生回路は、同一のクロック信号及び正論理のタイミング入力信号によって同時に同一の動作をする3列のシフトレジスタ201、202、203からなるシフトレジスタ列と、シフトレジスタ列の出力側に配設され、3つのシフトレジスタ201、202、203の各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NAND回路204、205、206と、3個の2入力NAND回路204、205、206の各出力がそれぞれ入力される3個の3入力NAND回路207、208、209と、3個の3入力NAND回路207、208、209の各出力が入力される1個の3入力NOR回路210とから回路の一単位が構成されている。3個の3入力NAND回路207、208、209の各出力はそれぞれ次段のシフトレジスタ列を構成する各シフトレジスタへの出力となり、3入力NOR回路210の出力はタイミング出力信号となり、この構成単位が複数段連続接続された構成となっている。映像表示装置の場合は、このタイミング出力信号が駆動信号発生回路に入力され、表示部のマトリクス配線が駆動される。

【0054】第2の実施の形態を採用することにより、第1の実施の形態と同様に、シフトレジスタの出力側に不良信号が発生した場合において正常に各信号を出力することができるのみならず、さらにいずれか1個のシフトレジスタの入力側に不良信号が発生した場合において

も、3入力NOR回路210の多数決信号取り出し機能によりシフトレジスタ列のタイミング入力信号を最終段まで正常に送り出すことが可能となる。その結果、第1の実施の形態に比較してさらに演算回路の正常信号の取り出し能力を向上させることができる。

【0055】図7は、本発明の第3の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0056】第3の実施の形態に係るタイミング信号発生回路は、第2の実施の形態に係るタイミング信号発生回路とほぼ同様の回路構成であるが、各構成単位の出力段に3入力NOR回路の替わりに3入力NAND回路310が配設されている点で異なる。

【0057】第3の実施の形態を採用することにより、第2の実施の形態と同様に、シフトレジスタの出力側に不良信号が発生した場合において正常に各信号を出力することができるのみならず、さらにいずれか1個のシフトレジスタの入力側に不良信号が発生した場合においても、3入力NAND回路310の多数決信号選択機能によりシフトレジスタ列のタイミング入力信号を最終段まで正常に送り出すことが可能となる。また、映像表示装置等のマトリクス配線を駆動するタイミング出力信号は、3入力NAND回路310を介して発生されるため、シフトレジスタの入力側に不良信号が発生した場合、タイミング出力信号は常にオフの方向に収束される。その結果、タイミング出力信号が入力される駆動信号発生回路がアナログスイッチ等で構成され、タイミング出力信号がアナログスイッチのゲートを開閉動作させる構成をとる場合には、タイミング出力信号がオフに収束されることにより、アナログスイッチをハイインピーダンス状態に収束させるため、事実上レーザで切断した場合と同様の効果を得ることができる。したがって、特に駆動信号発生回路がアナログスイッチ等によって構成されている場合には、第2の実施の形態に比較してさらに演算回路の正常不良選択能力を向上させることができる。

【0058】なお、必要とされるタイミング出力信号、すなわち、駆動信号発生回路の構成によっては、第2の実施の形態と第3の実施の形態とを組み合わせ、出力段ごとに3入力NOR回路、3入力NAND回路のいずれかを選択して配設し、タイミング信号発生回路を構成することも可能である。

【0059】図8は、本発明の第4の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0060】第4の実施の形態に係るタイミング信号発生回路は、各構成単位の出力段に配設され、駆動信号発生回路に接続される論理回路を除き、第2または第3の実施の形態に係るタイミング信号発生回路とほぼ同様の回路構成である。

【0061】各構成単位の出力段に配設される論理回路は、3つのNAND回路407、408、409の各出

力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NAND回路410、411、412と、3個の3入力NAND回路410、411、412の各出力が入力される1個の3入力NAND回路413とから構成されている。この論理回路を介して、駆動信号発生回路へのタイミング出力信号が出力される。

【0062】第4の実施の形態を採用することにより、3列のシフトレジスタのうちいずれか1個が動作不良となり、シフトレジスタの入力側または出力側にどのような不良信号が供給される場合であっても、NAND回路404、405、406及びNAND回路407、408、409からなる論理回路、またはNAND回路410、411、412及び413からなる論理回路による多数決演算により正常信号を選択することができ、修復作業を行うことなく正常にタイミング出力信号を発生させることができる。したがって、第3の実施の形態に比較してさらに演算回路の正常信号選択能力を向上させることができ、その結果、駆動回路の歩留りと信頼性もさらに向上させることができる。

【0063】図9は、本発明の第5の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0064】第5の実施の形態に係るタイミング信号発生回路は、第4の実施の形態に係るタイミング信号発生回路の構成から、NAND回路504、505、506及びNAND回路507、508、509からなる多数決の演算回路を1段おきに除去して直接接続した構成となっている。

【0065】現状における各素子の信頼性の水準、不良信号の発生確率等に鑑みると、第4の実施の形態に係るタイミング信号発生回路の構成のように、各段ごとに多数決演算の演算回路を配設することは必ずしも必要ではないと考えられ、回路の集積化の効率等を考慮すると、多数決演算の演算回路の配設箇所を適当に省略した方が実用化に適する場合もあり得る。

【0066】第5の実施の形態を採用することにより、多数決演算の演算回路を除去した部分において、異なった列に属するシフトレジスタの出力側及び入力側に同時に不良信号が発生した場合を除き、第4の実施の形態と同様に不良信号の選択排除を行うことができ、かつ、タイミング信号発生回路の回路規模を縮小することができる。

【0067】なお、多数決演算回路の配設は、1段おきに限らず、2段おき以上であっても良く、また、必ずしも規則的でなくても良い。

【0068】図10は、本発明の第6の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0069】第6の実施の形態に係るタイミング信号発生回路は、タイミング入力信号が負論理の信号である場合における、第1の実施の形態に対応した回路構成であ

る。第1の実施の形態に係るタイミング信号発生回路における3個の2入力NAND回路104、105、106が3個の2入力NOR回路604、605、606に、1個の3入力NAND回路607が1個の3入力NOR回路に、それぞれ置き換えられている。

【0070】第6の実施の形態を採用することにより、シフトレジスタの動作が負論理のタイミング入力信号で制御される場合においても、第1の実施の形態と同様に、不良信号を選択排除し、同等の歩留りと信頼性の水準を達成することができる。また、第2ないし第5の実施の形態についても、同様にNAND回路をNOR回路に置き換えることにより、タイミング入力信号が負論理の場合に、各実施の形態と同等の正常信号選択機能、歩留りと信頼性の水準を達成することができる。

【0071】図11は、本発明の第7の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0072】第7の実施の形態に係るタイミング信号発生回路におけるシフトレジスタ列は、同一のクロック信号及びタイミング入力信号によって同時に同一の動作をする3列のシフトレジスタ701、702、703から構成される。各シフトレジスタの出力側に配設される演算回路は、正論理のタイミング入力信号が供給される段においては、3つのシフトレジスタ701、702、703の各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NAND回路704、705、706と、3個の2入力NAND回路704、705、706の各出力が入力される1個の3入力NAND回路707とから構成され、負論理のタイミング入力信号が供給される段においては、3つのシフトレジスタの各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NOR回路708、709、710と、3個の2入力NOR回路708、709、710の各出力が入力される1個の3入力NOR回路711とから構成されている。

【0073】第7の実施の形態を採用することにより、タイミング信号発生回路のシフトレジスタの出力の論理が1段毎に反転する場合であっても、第1の実施の形態と同様に、多数決演算により正常信号を選択し、同等の歩留りと信頼性の水準を達成することができる。

【0074】図12は、本発明の第8の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0075】第8の実施の形態に係るタイミング信号発生回路は、第1の実施の形態における3列のシフトレジスタ列を、4列として構成したものである。同一のクロック信号及び正論理のタイミング入力信号によって同時に同一の動作をする4列のシフトレジスタ801、802、803、804からなるシフトレジスタ列と、シフトレジスタ列の出力側に配設され、4つのシフトレジスタ801、802、803、804の各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力され

た4個の2入力NAND回路805、806、807、808と、4個の2入力NAND回路805、806、807、808の各出力が入力される1個の4入力NAND回路809とから回路の単体が構成されている。

【0076】第8の実施の形態を採用することにより、第1の実施の形態に係るタイミング信号発生回路に比較して、さらに駆動回路の歩留り及び信頼性を向上させることができる。

【0077】本発明に係るタイミング信号発生回路は、以上説明した各実施の形態の他、3列以上のシフトレジスタ列の出力側に不良信号を選択排除する演算回路を配設した構成を有するものであれば、シフトレジスタの形式、個数、駆動論理信号の正負にかかわらず、同様の効果を得ることができ、また、駆動信号発生回路へのタイミング出力信号がシフトレジスタの出力から直接取り出したものであっても良い。

【0078】図13は、本発明の第9の実施の形態に係るタイミング信号発生回路の回路構成図である。

【0079】第9の実施の形態に係るタイミング信号発生回路は、入力された数値信号に応じて選択的に信号を出力するデコーダ型の構成である。各構成単位は、入力数値信号に応じて同一のタイミングで選択的に負論理の信号を出力する3個のデコーダ回路901、902、903からなる1個のデコーダ回路群と、各デコーダ回路群の3つのデコーダ回路の各出力のうち2つの出力からなる相互に異なる組合せがそれぞれ入力された3個の2入力NOR回路904、905、906と、3個の2入力NOR回路904、905、906の各出力が入力される1個の3入力NOR回路907とから構成されている。駆動信号発生回路へ供給される信号は、3入力NOR回路907の出力信号である。

【0080】第9の実施の形態を採用することにより、デコーダ回路の駆動不良に起因する不良信号が、3個の2入力NOR回路904、905、906及び1個の3入力NOR回路907とから構成される演算回路によって選択排除され、一部のデコーダ回路の不良信号に対しては修復作業を行うことなく継続使用が可能となる。その結果、従来のデコーダ型のタイミング信号発生回路に比較して、歩留り及び信頼性を向上させることができる。

【0081】なお、デコーダ回路が正論理の信号を出力するものである場合には、NOR回路をNAND回路に置き換えることによって同様の効果を得ることができる。その他、同一のタイミングで信号を出力する3個以上のデコーダ回路群の出力側に正常信号を選択する演算回路を配設した構成であれば、デコーダ回路の形式、個数、デコーダ回路群に対する数値信号の内容等は変更することが可能である。

【0082】図14は、図1に示した本発明の第1の実施の形態に係るタイミング信号発生回路を、駆動回路一

体型の液晶表示装置に適用した場合の回路構成図である。

【0083】第1の実施の形態に係るタイミング発生回路1013から取り出されたタイミング出力信号によってX配線1003がMOSトランジスタ1005を介して制御され、第1の実施の形態に係るタイミング発生回路1014から取り出されたタイミング出力信号によってY配線1004が2個のインバータ1006を介して制御され、さらに、X配線1003及びY配線1004によってMOSトランジスタ1002を介して液晶表示素子1001が制御される。

【0084】液晶表示装置に、本発明に係るタイミング信号発生回路を適用することにより、歩留り及び信頼性を大幅に向上させることができる。

【0085】図15は、図13に示した本発明の第9の実施の形態に係るデコーダ型タイミング信号発生回路を、駆動回路一体型の液晶表示装置に適用した場合の回路構成図である。

【0086】第9の実施の形態に係るタイミング発生回路1114から取り出されたタイミング出力信号によってX配線1103がインバータ1106及びMOSトランジスタ1105を介して制御され、第9の実施の形態に係るタイミング発生回路1115から取り出されたタイミング出力信号によってY配線1104がインバータ1107を介して制御され、さらに、X配線1103及びY配線1104によってMOSトランジスタ1102を介して液晶表示素子1101が制御される。この場合においても、本発明に係るタイミング信号発生回路を液晶表示装置に適用することにより、歩留り及び信頼性を大幅に向上させることができる。

【0087】以上、本発明の各実施の形態についてそれぞれ説明したが、同様の基本構成を有するものであれば、その他の変形例においても同様の効果を得ることができる。すなわち、同一のタイミングで信号を出力する3個以上の回路の出力側に、当該回路を動作させる信号の論理の正負に適合した、不良信号の選択排除を行う演算回路を配設した回路構成を有するものであれば、タイミング信号発生回路がシフトレジスタを基本に構成されたものであっても、デコーダを基本に構成されたものであっても良く、1個の不良信号選択排除演算回路に対する回路構成単位数も、場合に応じて適当に設定することができる。また、本発明に係るタイミング信号発生回路が適用される映像表示装置は、マトリクス駆動形式の映像装置である限り、どのような形式のものであっても同様の効果を得ることができる。

【0088】

【発明の効果】本発明に係るタイミング信号発生回路によれば、複数のタイミング信号発生手段で発生した信号のうち、相対的に多数のものを演算回路により取り出すようにしているので、一部のタイミング信号発生手段で

不良信号が発生しても、修復作業を行うことなく継続使用が可能となり、歩留り及び信頼性を向上させることができる。

【0089】また、本発明にかかる表示装置によれば、複数のタイミング信号発生手段で発生した信号のうち、相対的に多数のものを演算回路により取り出すようにしたタイミング信号発生回路と、タイミング信号発生回路の出力端子に現れる出力に基づいて所定の駆動信号をサンプリングし、駆動配線に出力するサンプリング部と、この駆動配線に接続された複数の単位画素とを備えているので、一部のタイミング信号発生手段で不良信号が発生しても、修復作業を行うことなく継続使用が可能となって歩留り及び信頼性を向上させることができる表示装置が提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るタイミング信号発生回路の回路構成図。

【図2】(a)はシフトレジスタに含まれる論理回路の第1の例としてのクロックインバータの等価回路シンボルを示す図。(b)は実際のCMOS構成のクロックインバータの回路図。

【図3】(a)はシフトレジスタに含まれる論理回路の第2の例としてのNANDゲートの等価回路シンボルを示す図。(b)は実際のCMOS構成のNANDゲートの回路図。

【図4】(a)はシフトレジスタに含まれる論理回路の第3の例としてのNORゲートの等価回路シンボルを示す図。(b)は実際のCMOS構成のNORゲートの回路図。

【図5】駆動回路を内蔵した液晶表示パネルの主要部の断面を示す断面図。

【図6】本発明の第2の実施の形態に係るタイミング信号発生回路の回路構成図。

【図7】本発明の第3の実施の形態に係るタイミング信号発生回路の回路構成図。

【図8】本発明の第4の実施の形態に係るタイミング信号発生回路の回路構成図。

【図9】本発明の第5の実施の形態に係るタイミング信号発生回路の回路構成図。

【図10】本発明の第6の実施の形態に係るタイミング信号発生回路の回路構成図。

【図11】本発明の第7の実施の形態に係るタイミング信号発生回路の回路構成図。

【図12】本発明の第8の実施の形態に係るタイミング信号発生回路の回路構成図。

【図13】本発明の第9の実施の形態に係るタイミング信号発生回路の回路構成図。

【図14】本発明の第1の実施の形態に係るタイミング信号発生回路を、駆動回路一体型の液晶表示装置に適用した場合の回路構成図。

【図15】本発明の第9の実施の形態に係るタイミング信号発生回路を、駆動回路一体型の液晶表示装置に適用した場合の回路構成図。

【図16】アクティブマトリクス型液晶表示装置の概略構成図。

【図17】シフトレジスタ形式タイミング信号発生回路の一例を示す回路構成図。

【図18】デコーダ形式タイミング信号発生回路の一例を示す回路構成図。

10 【図19】予備シフトレジスタに併設されたタイミング信号発生回路の回路構成図、

【図20】予備デコーダ併設タイミング信号発生回路の回路構成図。

【図21】同一タイミングで動作する平行に配設されたk列のシフトレジスタと、シフトレジスタ複数段毎にk入力のNOR回路を挿入した構成のタイミング信号発生回路の回路構成図。

【符号の説明】

4 対向電極

20 38 画素電極

44 液晶

61, 62 基板

64, 83, 85 ドレイン領域

67 ゲート絶縁膜

68 ゲート電極

71 薄膜トランジスタ(TFT)

71b nチャネル型TFT

72, 84, 86 ソース領域

74 pチャネル型TFT

30 77 ソース電極

76 ドレイン線

81, 82 多結晶シリコン層

101, 102, 103, 201, 202, 203, 3

01, 302, 303, 401, 402, 403, 50

1, 502, 503, 601, 602, 603, 70

1, 702, 702, 801, 802, 803, 804

シフトレジスタ

104, 105, 106, 204, 205, 206, 3

04, 305, 306, 404, 405, 406, 41

0, 411, 412, 504, 505, 506, 51

0, 511, 512, 704, 705, 706, 80

5, 806, 807, 808 2入力NAND回路

107, 207, 208, 209, 307, 308, 3

09, 310, 407, 408, 409, 413, 50

7, 508, 509, 513, 707, 1603

3入力NAND回路

210, 607, 711, 907, 1602 3入力N

OR回路

604, 605, 606, 708, 709, 710, 9

50 04, 905, 906

2入力NOR回路

809 4入力NAND回路

901, 902, 903, 1401 デコーダ回路

1001, 1101, 1201 液晶層

1002, 1102, 1202 画素スイッチングTFT

T

1003, 1103, 1203 信号線

1004, 1104, 1204 ゲート線

1005, 1105 アナログスイッチ

1006, 1106, 1107 バッファ

1007, 1009 タイミング信号(スタートパルス)

908, 1108, 1110, 1402, 1507 デコーダ回路駆動入力数値信号

1008, 1109 ビデオ信号

1010, 1111, 1205 表示領域

1011, 1112, 1206 X側駆動回路

1012, 1113, 1207 Y側駆動回路

1013, 1114, 1208 X側タイミング信号発生回路

1014, 1115, 1209 Y側タイミング信号発生回路

1015, 1116, 1210 X側配線駆動信号発生回路

1016, 1117, 1211 Y側配線駆動信号発生回路

1017, 1118, 1212 マトリクス駆動型映像表示装置

1301, 1302 クロックドインバータ

1303 フリップフロップ回路

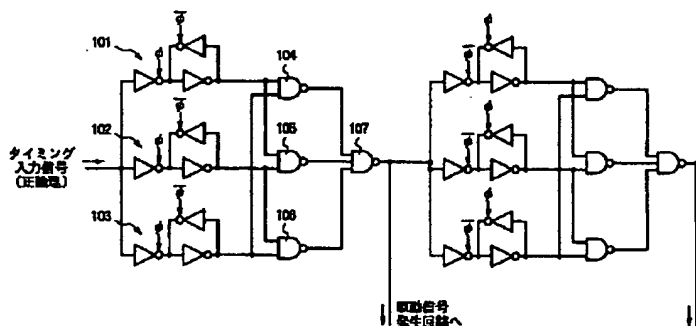
1501 リペア用予備シフトレジスタ

1504 リペア用予備デコーダ

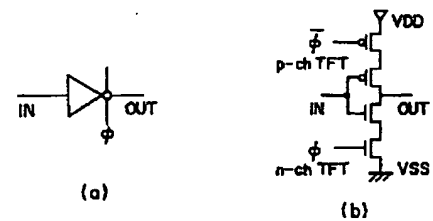
1502, 1505 リペア作業時の切断箇所

1503, 1506 リペア作業時の接続箇所

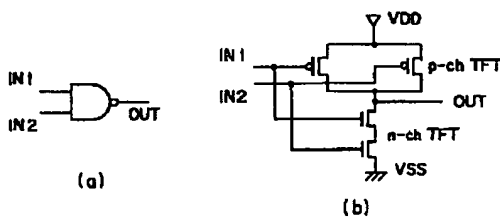
【図1】



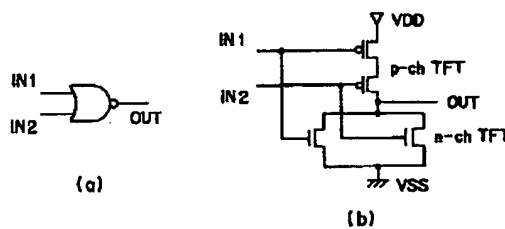
【図2】



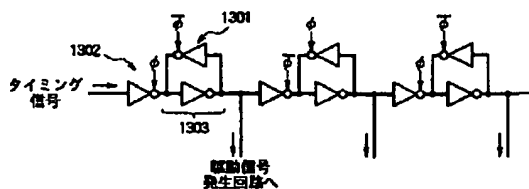
【図3】



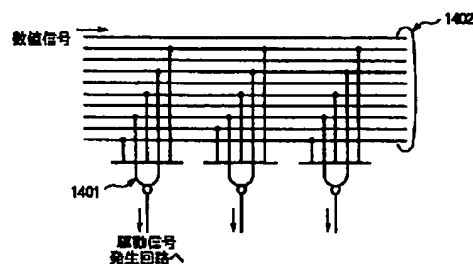
【図4】



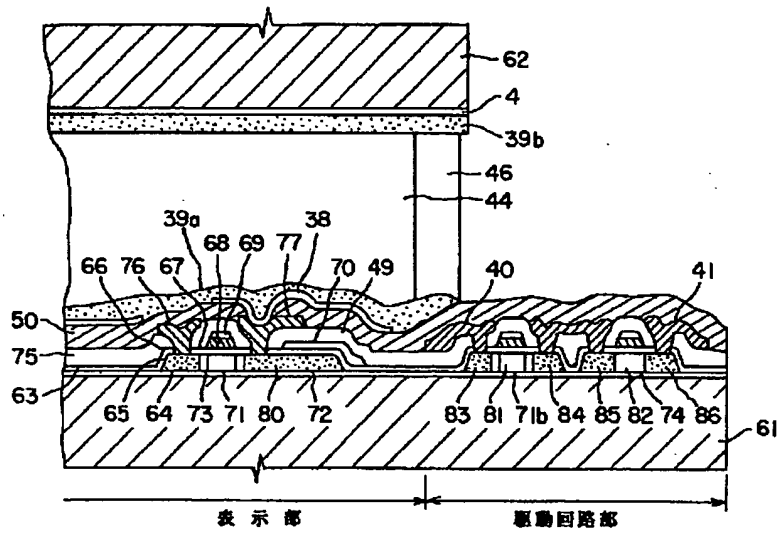
【図17】



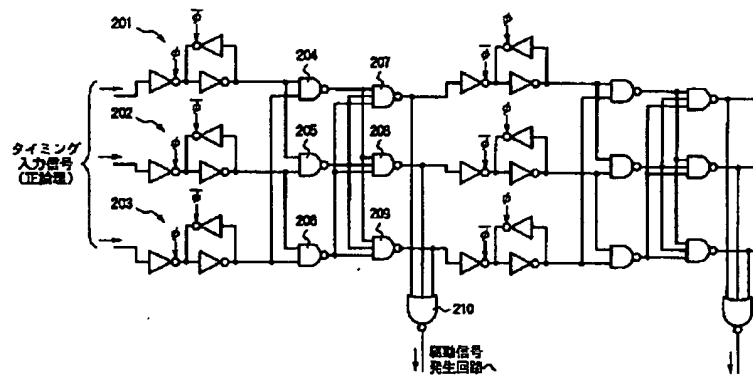
【図18】



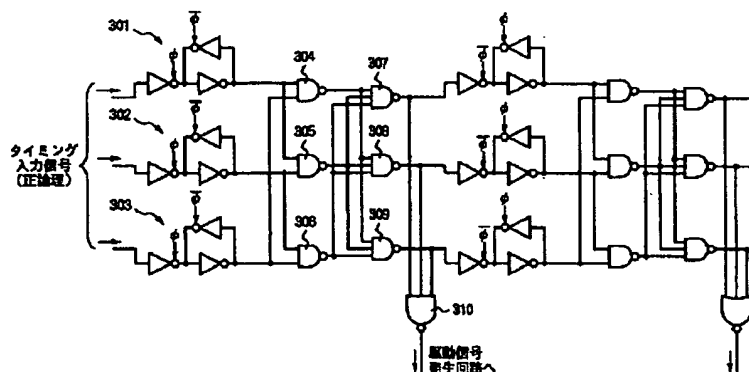
【 図5 】



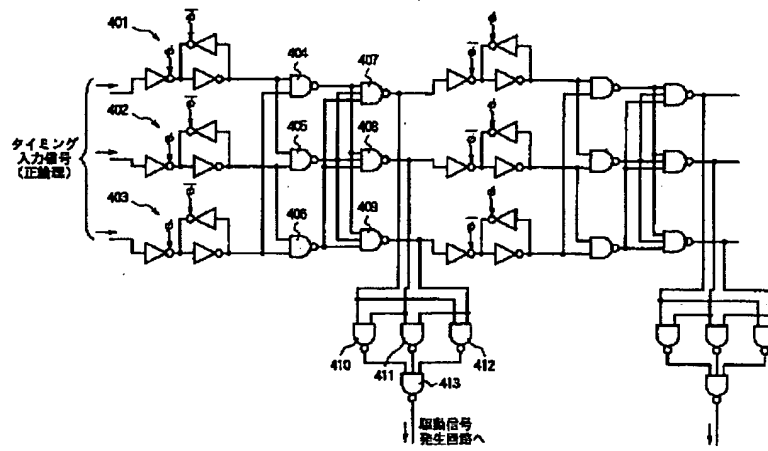
【 図6 】



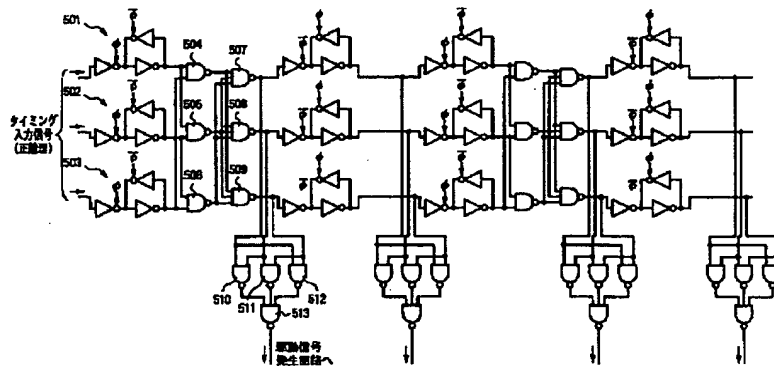
【 図7 】



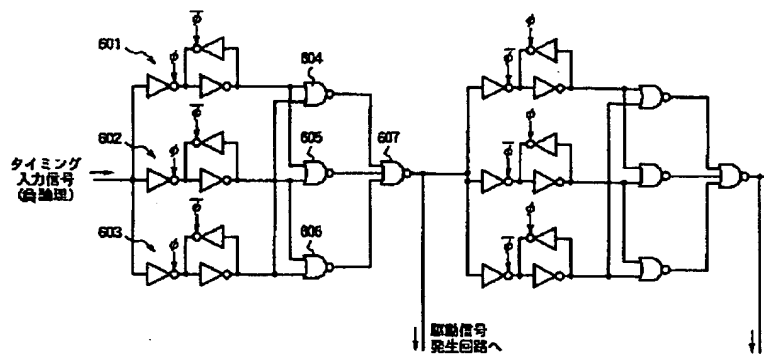
【 図8 】



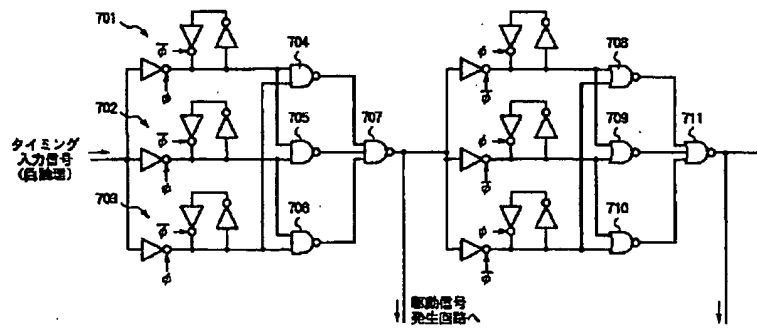
【 図9 】



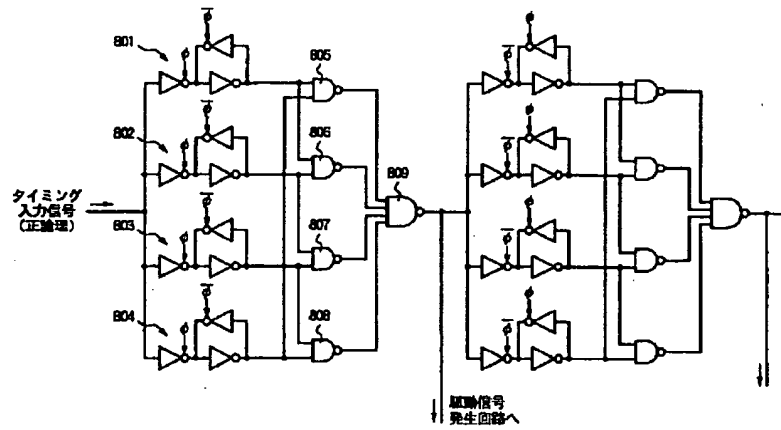
【 図10 】



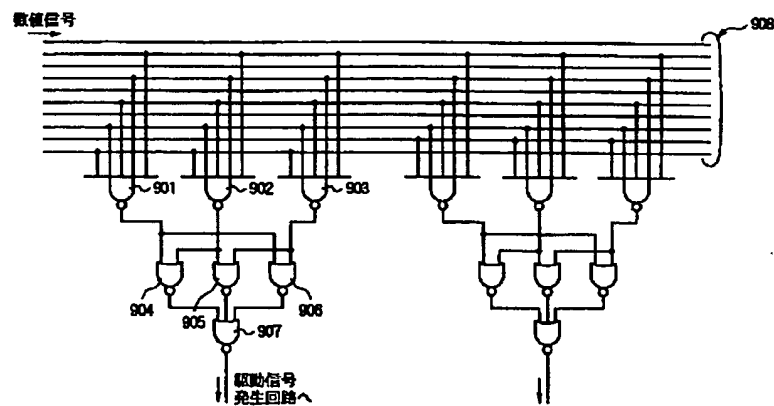
【 図11 】



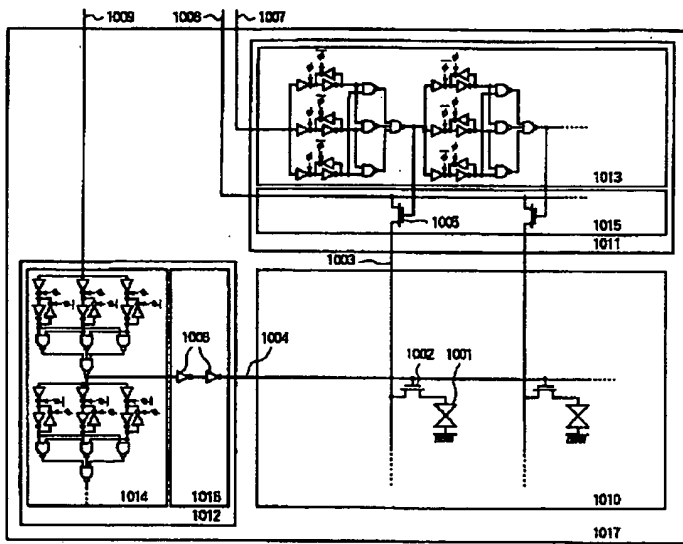
【 図12 】



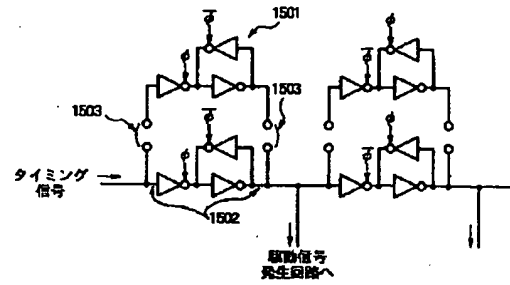
【 図13 】



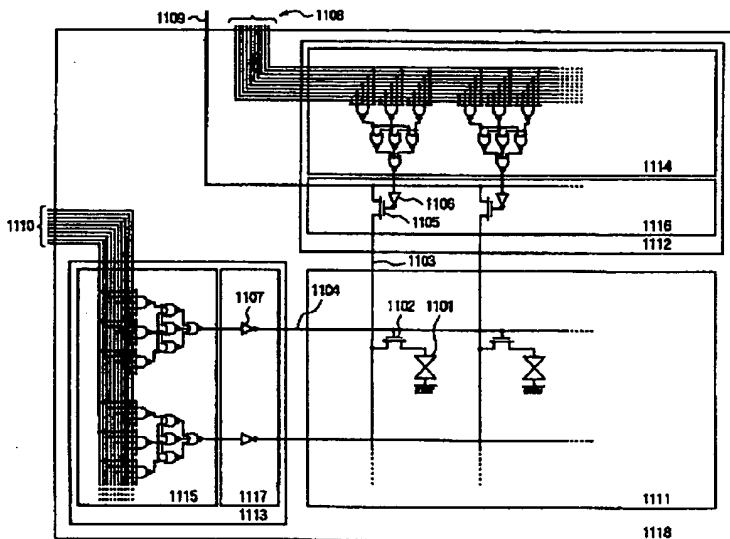
【 図14 】



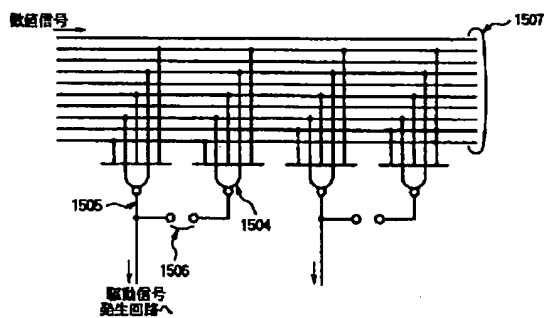
【 図19 】



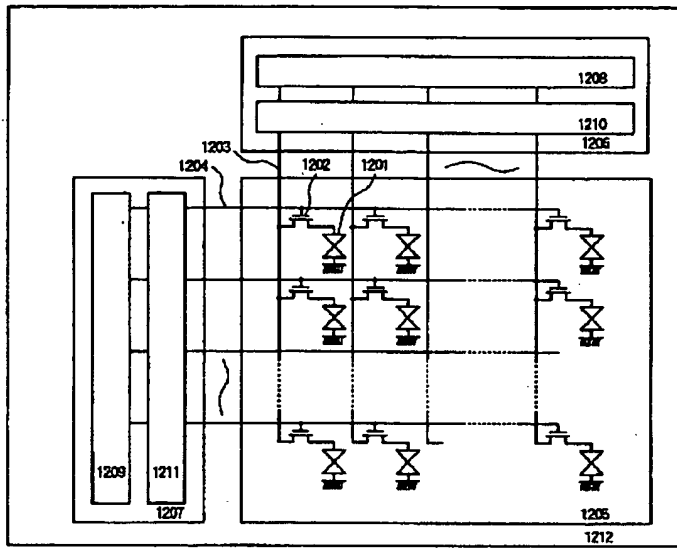
【 図15 】



【 図20 】



【 図16 】



【 図21 】

